



JP7130884

Biblio

Page 1

esp@cenet

MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY

Patent Number: JP7130884
Publication date: 1995-05-19
Inventor(s): ONO TAKASHI
Applicant(s):: OKI ELECTRIC IND CO LTD
Requested Patent: ☐ JP7130884
Application Number: JP19930272623 19931029
Priority Number(s):
IPC Classification: H01L21/8247 ; H01L29/788 ; H01L29/792
EC Classification:
Equivalents:

Abstract

PURPOSE: To enable self-aligning formation of a floating gate to a control gate without disconnecting a select gate by separating the floating gate by etching while covering the select gate with a second insulation film.

CONSTITUTION: A select gate 17 of a nonvolatile semiconductor memory and further a protection film 20 are formed by patterning on a semiconductor substrate 11 with an insulation film 14 therebetween. A floating gate 15 is formed to extent to a side wall of the select gate 17 with an insulation film 16 therebetween. An insulation film 18 and a control gate electrode material 19 are laminated on the semiconductor substrate 11, the protection film 20 and the floating gate 15. Then, the control gate electrode material 19, the insulation film 18 and the floating gate 15 are etched and the floating gate 15 is disconnected for each memory cell.

Data supplied from the esp@cenet database - I2

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07130884 A**

(43) Date of publication of application: **19 . 05 . 95**

(51) Int. Cl.

H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **05272623**

(22) Date of filing: **29 . 10 . 93**

(71) Applicant: **OKI ELECTRIC IND CO LTD**

(72) Inventor: **ONO TAKASHI**

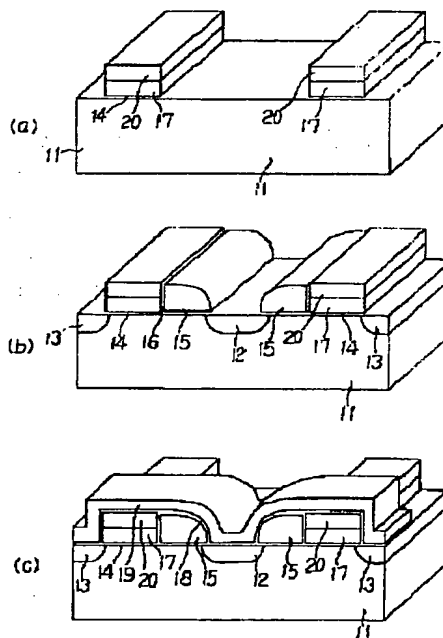
(54) **MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY**

(57) Abstract:

PURPOSE: To enable self-aligning formation of a floating gate to a control gate without disconnecting a select gate by separating the floating gate by etching while covering the select gate with a second insulation film.

CONSTITUTION: A select gate 17 of a nonvolatile semiconductor memory and further a protection film 20 are formed by patterning on a semiconductor substrate 11 with an insulation film 14 therebetween. A floating gate 15 is formed to extent to a side wall of the select gate 17 with an insulation film 16 therebetween. An insulation film 18 and a control gate electrode material 19 are laminated on the semiconductor substrate 11, the protection film 20 and the floating gate 15. Then, the control gate electrode material 19, the insulation film 18 and the floating gate 15 are etched and the floating gate 15 is disconnected for each memory cell.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-130884

(43) 公開日 平成7年(1995)5月19日

(51) Int.Cl.⁶

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号

特願平5-272623

(22) 出願日

平成5年(1993)10月29日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 小野 隆

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

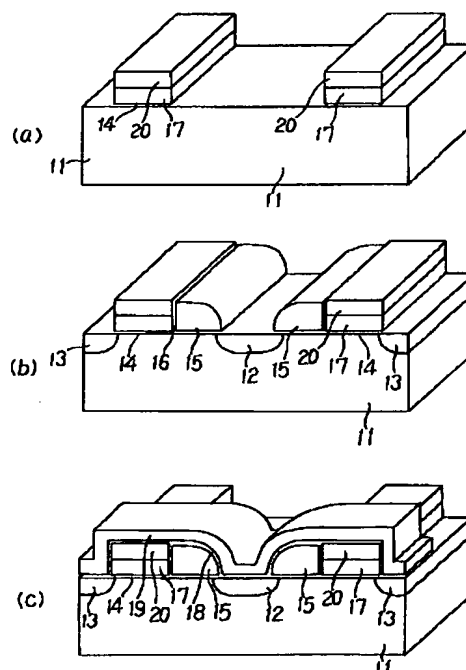
(74) 代理人 弁理士 柿本 恭成

(54) 【発明の名称】 不揮発性半導体メモリの製造方法

(57) 【要約】

【目的】 高集積化が可能な不揮発性半導体メモリを容易に実現する製造方法を提供する。

【構成】 半導体基板上に絶縁膜14を介して不揮発性半導体メモリのセレクトゲート17となる電極材料と保護膜20がパターンニングされて形成される。次に、絶縁膜16を介してセレクトゲート17の側壁にフローティングゲート15となる電極材料が、延在するように形成される。そして、半導体基板11、保護膜20及びフローティングゲート15上に、絶縁膜18とコントロールゲート用電極材料19とが積層される。その後、コントロールゲート用電極材料19、絶縁膜18、及びフローティングゲート15が、同時にパターンニングされ、セレクトゲート17を分断すること無く、フローティングゲート15が不揮発性半導体メモリのメモリセル毎に分断される。



本発明の第1の実施例の不揮発性半導体メモリの製造方法

1

【特許請求の範囲】

【請求項1】 半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料の上部にエッチング保護膜を形成する保護膜形成工程と、前記保護膜及び第1の電極材料を前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一方向に延在するように所定の幅でパターンニングし、前記複数のメモリセルに対する書込み用或いは消去用電圧を供給するセレクトゲートを形成するセレクトゲートパターンニング工程と、前記パターンニングされた第1の電極材料と前記半導体基板とは第2の絶縁膜で絶縁し、該第1の電極材料の側壁に対してほぼ平行に第2の電極材料を延在するように形成する第2の電極材料形成工程と、前記第2の電極材料を前記各メモリセルのドレインソースの方向と同一方向に所定の幅でパターンニングし、前記セレクトゲートに与えられた電圧に応じて前記各メモリセル用のキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に施すことを特徴とする不揮発性半導体メモリ製造方法。

【請求項2】 半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料を前記各メモリセルのドレインソ

2

ース方向に延在するようにパターンニングし、複数の第1の電極材料の列を形成する第1の電極材料列形成工程と、前記複数の第1の電極材料の列間を第2の絶縁膜で埋込む絶縁膜埋込み工程と、前記第1の電極材料及び第2の絶縁膜を前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一方向に所定の幅でパターンニングし、前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程と、前記フローティングゲートと前記半導体基板とは第3の絶縁膜で絶縁しかつ該フローティングゲート及び第2の絶縁膜の側壁に対してほぼ平行に第2の電極材料を延在するように形成し、それら複数のフローティングゲートに対して書込み用或いは消去用電圧を供給するセレクトゲートを形成するセレクトゲート形成工程とを、順に施すことを特徴とする不揮発性半導体メモリの製造方法。

【請求項3】 半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を前記各メモリセルのドレインソース方向に複数延在するようにパターンニングする絶縁膜形成工程と、前記複数の第1の絶縁膜間の前記半導体基板上に第2の絶縁膜を介して第1の電極材料を埋込む電極材料埋込み工程と、前記第1の電極材料と第1の絶縁膜とを前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一方向に所定の幅でパターンニングし、前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程と、前記フローティングゲートと前記半導体基板とは第3の絶縁膜で絶縁しかつ該フローティングゲート及び前記第2の絶縁膜の側壁に対してほぼ平行に第2の電極材料を延在するように形成し、それら複数のフローティングゲートに対して書込み用或いは消去用電圧を供給するセレクトゲートを形成するセレクトゲート形成工程とを、順に施すことを特徴とする不揮発性半導体メモリ製造方法。

【請求項4】 半導体基板内に、複数のメモリセルに対

する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料の上に第1の保護膜を形成する第1の保護膜形成工程と、前記第1の電極材料及び第1の保護膜を前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一の方向に延在するように所定の幅でパターンニングする第1の電極材料パターンニング工程と、前記第1の電極材料と前記半導体基板とは第2の絶縁膜で絶縁し、かつ該第1の電極材料の側壁に対してほぼ平行に第2の電極材料を延在するように形成する第2の電極材料形成工程と、前記第1の保護膜をマスクとし、該第1の保護膜に対してエッチング選択性を有する第2の保護膜を前記第2の電極材料上に選択的に形成する第2の保護膜形成工程と、前記各メモリセルのドレイン-ソース方向と同一方向に、前記第1の保護膜及び前記第1の電極材料または前記第2の保護膜及び前記第2の電極材料を選択的にパターンニングし、前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に行うことを特徴とする不揮発性半導体メモリ製造方法。

【請求項5】 半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料を前記ドレイン拡散層の形成方向及

びソース拡散層の形成方向と同一の方向に延在するように所定の幅でパターンニングする第1の電極材料パターンニング工程と、前記第1の電極材料に対してエッチング選択性のある第2の電極材料を、前記パターンニングされた第1の電極材料の側壁にほぼ平行にかつ該第1の電極材料と前記半導体基板とは第2の絶縁膜で絶縁された状態で延在するように形成する第2の電極材料形成工程と、前記各メモリセルのドレイン-ソース方向と同一方向に前記第1または第2の電極材を選択的にパターンニングして前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に施すことを特徴とする不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、書込み及び消去用のセレクトゲートを備えた不揮発性半導体メモリ等の製造方法に関するものである。

【0002】

【従来の技術】 従来電氣的にデータの書替え可能なROM (Read Only Memory) として各種のE²PROM (Electrical Erasable and Programmable ROM) メモリセルが提案されている。なかでも、半導体基板上に各メモリセルに対するセレクトゲート及びフローティングゲートを近接させて形成したサイドウォール型E²PROMは、内部に電圧昇圧手段を必要とするが、外部の5V単一電源でデータの書込み及び消去が可能となるので、有望視されている。図2は、従来のサイドウォール型E²PROMメモリセルの構造例を示す断面図である。図2のメモリセルは、半導体基板1内に形成されたソース拡散層2と、ドレイン拡散層3と、半導体基板1上に絶縁膜4を介して形成されたフローティングゲート5と、そのフローティングゲート5の側壁に絶縁膜6を介して近接配置されたサイドウォール型セレクトゲート7と、フローティングゲート5の上部に絶縁膜8を介して形成されたコントロールゲート9とを、備えている。図2のメモリセルが多数個半導体基板1上に配置され、マトリックス状のメモリセルアレイが構成される。各メモリセルのコントロールゲート9が、メモリセルアレイの行方向に連結され、これによりワード線が形成される。各メモリセルのセレクトゲート7も同じ方向に連結される。また、ドレイン拡散層は、隣接する2つのメモリセルで共通とし、図示しないコンタクトを介して上部のA1 (アルミニウム) 等の金属配線に接続され、この金属配線がメモリセルアレイの列方向に延ばされてビット線が形成される。図2のメモリセルの製造工程は、例えば、シリコン (Si) 半導体基板上に膜厚50~150オングストローム程度のゲート酸化膜が形成され、その上にフロ

ーティングゲート5となる多結晶Siが形成される。さらに、その上に絶縁膜8を介して多結晶Siのコントロールゲート9が設られ、その後、各ゲートと同じ多結晶Siのサイドウォール型セレクトゲート7が、絶縁膜6を介して形成される。セレクトゲート7は、フローティングゲート5及びコントロールゲート9に対して自己整合的に形成される。

【0003】次に図2のメモリセルの動作を説明する。図2のメモリセルの半導体基板を接地電位に設定し、ソース拡散層2にソースバイアス電圧 V_s を0V、セレクトゲート7に対してセレクトバイアス電圧 V_{sel} を1.5V、コントロールゲート9に対してコントロールバイアス V_{cg} を17V、及びドレイン拡散層3に対してドレインバイアス電圧 V_d を5Vそれぞれ印加する。これにより、セレクトゲート7とフローティングゲート5の境界面付近の下方でアバランシュ現象が発生し、キャリアのホットエレクトロンがフローティングゲート5に注入される。これによりデータの書き込みが成される。データの消去は、例えば、ドレインバイアス電圧 V_d を14V、コントロールバイアス V_{cg} を0V、セレクトバイアス電圧 V_{sel} を0Vをそれぞれ印加することにより、ファウラーノルドハイムトンネル電流が流れ、データの消去を行うことができる。しかしながら、図2のメモリセルにおいては、ドレインソース間電流の流れ方向に対してビット線が平行に配置される構造になるため、コンタクトを必要とする。その結果1ビットのセルの占有する面積を小さくすることができなかつた。また、製造過程において、コンタクトとワード線とのマスク合わせに余裕度を確保する必要があり、メモリセルアレイの面積が大きくなって大容量のメモリセルには、適

【0004】そこで、本願出願人等は、特願平4-4581号明細書（未公開）において次のような不揮発性半導体メモリを提案した（以下、先の提案という）。図3は、先の提案のサイドウォール型E²PROMの構造例を示す平面図である。図4は、図3中のA-A断面、図5は、図3中のB-B断面を示す断面図である。図3の不揮発性半導体メモリは、複数のビット線BLと、複数のワード線WLと、各ビット線BL及びワード線WLに接続されマトリックス状に配置されてメモリセルアレイを構成する複数のメモリセル10とを、有している。メモリセル10は、図4に示すように、半導体基板11に形成されたドレイン拡散層12と、同様に基板11に形成されたソース拡散層と、基板11上に絶縁膜14を介して形成されデータ保持用キャリアを充電するフローティングゲート15と、フローティングゲート15の側壁に絶縁膜16を介して形成され、そのフローティングゲート15に対して書き込み用或いは消去用電圧を与えるセレクトゲート17と、フローティングゲート15及びセレクトゲート17の上部に絶縁膜18を介して形成されたコン

トロールゲート19とを、備えている。メモリセル10のドレイン拡散層13が、ドレインソース間電流の流れ方向に直交する方向に相互に接続され、図3中のビット線BLが構成される。また、ソース拡散層12も同様に接続されてソース線SCLとされる。コントロールゲート19は、ビット線BL及びソース線SCLと直交する方向、すなわちドレインソース間電流の流れ方向に平行に接続されてワード線WLが形成される。また、セレクトゲート17は、ビット線BL及びソース線SCLに平行に相互に接続され図3中のセレクト線SLとなる。以上のように、不揮発性半導体メモリを構成することにより、コンタクトホールが不要となり、単位メモリセルの面積を小さくすることができる。また、セレクトゲート17へ与える電位は、ビット線BL、ソース線SCL及びワード線WLとは独立してセレクト線SLを介して供給することができる。そのため、書き込み或いは消去といった動作時の自由度が高まり、不揮発性半導体メモリの高機能化が容易となる。

【0005】次に、先の提案の不揮発性半導体メモリの動作を説明する。メモリセル10の半導体基板11を接地電位に設定し、ソース拡散層12（ソース線SCL）にソースバイアス電圧 V_s を0V、セレクトゲート17（セレクト線SL）に対してセレクトバイアス電圧 V_{sel} を1.5V、コントロールゲート19（ワード線WL）に対してコントロールバイアス V_{cg} を17V、及びドレイン拡散層13（ビット線BL）に対してドレインバイアス電圧 V_d を5Vそれぞれ印加する。これにより、セレクトゲート17とフローティングゲート15の境界面付近の下方でアバランシュ現象が発生し、キャリアのホットエレクトロンがフローティングゲート15に注入される。これによりデータの書き込みが成される。データの消去は、例えば、ドレインバイアス電圧 V_d を14V、コントロールバイアス V_{cg} を0V、セレクトバイアス電圧 V_{sel} をオープン状態にする。これらにより、ファウラーノルドハイムトンネル電流が流れ、データの消去を行うことができる。このメモリセル10に記憶されているデータを読み出す場合、例えば、ワード線WLに5V、ビット線BLに1V、ソース線SCLに0V、及びセレクト線SLに5Vが、それぞれ印加される。これにより特定のメモリセル10が選択される。このとき、フローティングゲート15中にキャリアの電子が蓄えられているか否かで、ソース線SCLとビット線BL間に流れる電流が変わり、データの“1”または“0”が判断される。

【0006】

【発明が解決しようとする課題】しかしながら、先の提案の不揮発性半導体メモリの製造方法においては、次のような課題があった。即ち、セレクトゲート17は、コントロールゲート19の下方であり、単結晶Siの半導体基板11状に隣接している必要がある。そのため、図

4に示すようにコントロールゲート19とフローティングゲート15を自己整合的にエッチングする場合、セレクト線SLとしてセレクトゲート17を連結したままでおくことが困難であった。例えば、フローティングゲート15を図3のビット線BLと平行に延在するようにパターンニングし、そのフローティングゲート15の側壁にサイドウォールを同様に延在してセレクトゲート線SLを形成した場合、フローティングゲート15を各メモリセル毎に分離するために、帯状に形成されたフローティングゲート15をワード線WLに対して平行にエッチングする。このとき、セレクトゲート17が、フローティングゲート15と同一材料で構成されていると、セレクト線SLも同時に分断される。本発明は先の提案の不揮発性半導体メモリに対する製造方法が持っていた課題として、自己整合的にフローティングゲートを形成することが困難である点について解決をした不揮発性半導体メモリの製造方法を提供するものである。

【0007】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程を次のようにして不揮発性半導体メモリの製造方法を構成している。即ち、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料の上部にエッチング保護膜を形成する保護膜形成工程と、前記保護膜及び第1の電極材料を前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一方向に延在するように所定の幅でパターンニングし、前記複数のメモリセルに対する書込み用或いは消去用電圧を供給するセレクトゲートを形成するセレクトゲートパターンニング工程を順に行う。さらに、前記第1のゲート形成工程は、前記パターンニングされた第1の電極材料と前記半導体基板とは第2の絶縁膜で絶縁し、該第1の電極材料の側壁に対してほぼ平行に第2の電極材料を延在するように形成する第2の電極材料形成工程と、前記第2の電極材料を前記各メモリセルのドレイン-ソースの方向と同一方向に所定の幅でパターンニングし、前記セレクトゲートに与えられた電圧に応じて前記各メモリセル用のキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に施す。

【0008】第2の発明は、半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程を次のようにして不揮発性半導体メモリの製造方法を構成している。即ち、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料を前記各メモリセルのドレイン-ソース方向に延在するようにパターンニングし、複数の第1の電極材料の列を形成する第1の電極材料列形成工程と、前記複数の第1の電極材料の列間を第2の絶縁膜で埋込む絶縁膜埋込み工程と、前記第1の電極材料及び第2の絶縁膜を前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一方向に所定の幅でパターンニングし、前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に行う。その後、前記第1のゲート形成工程は、前記フローティングゲートと前記半導体基板とは第3の絶縁膜で絶縁しかつ該フローティングゲート及び第2の絶縁膜の側壁に対してほぼ平行に第2の電極材料を延在するように形成し、それら複数のフローティングゲートに対して書込み用或いは消去用電圧を供給するセレクトゲートを形成するセレクトゲート形成工程とを施している。

【0009】第3の発明は、半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程を次のようにして不揮発性半導体メモリの製造方法を構成している。即ち、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を前記各メモリセルのドレイン-ソース方向に複数延在するようにパターンニングする絶縁膜形成工程と、前記複数の第1の絶縁膜間の前記半導体基板上に第2の絶縁膜を介して第1の電極材料を埋込む電極材料埋込み工程と、前記第1の電極材料と第1の絶縁膜とを前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と

同一方向に所定の幅でパターンニングし、前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に行う。その後、前記第1のゲート形成工程は、前記フローティングゲートと前記半導体基板とは第3の絶縁膜で絶縁しかつ該フローティングゲート及び前記第2の絶縁膜の側壁に対してほぼ平行に第2の電極材料を延在するように形成し、それら複数のフローティングゲートに対して書き込み用或いは消去用電圧を供給するセレクトゲートを形成するセレクトゲート形成工程を施している。

【0010】第4の発明は、半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程を次のようにして不揮発性半導体メモリの製造方法を構成している。即ち、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料の上に第1の保護膜を形成する第1の保護膜形成工程と、前記第1の電極材料及び第1の保護膜を前期ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一の方向に延在するように所定の幅でパターンニングする第1の電極材料パターンニング工程と、前記第1の電極材料及び前記半導体基板は第2の絶縁膜で絶縁し、かつ該第1の電極材料の側壁に対してほぼ平行に第2の電極材料を延在するように形成する第2の電極材料形成工程とを順に行う。そして、前記第1のゲート形成工程は、前記第1の保護膜をマスクとし、該第1の保護膜に対してエッチング選択性を有する第2の保護膜を第2の電極材料上に選択的に形成する第2の保護膜形成工程と、前記各メモリセルのドレイン-ソース方向と同一方向に、前記第1の保護膜及び前記第1の電極材料または前記第2の保護膜及び前記第2の電極材料を選択的にパターンニングし、前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程とを、順に施している。

【0011】第5の発明は、半導体基板内に、複数のメモリセルに対する連続したドレイン拡散層及び連続したソース拡散層を互いにほぼ平行状態に形成する拡散層形成工程と、前記拡散層形成工程の前工程または後工程において前記半導体基板上にフローティングゲート及びセレクトゲートを形成する第1のゲート形成工程と、前記

第1のゲート形成工程と共にまたは後工程において前記フローティングゲート及びセレクトゲート上に絶縁膜を介してコントロールゲートを形成する第2のゲート形成工程とを、有する不揮発性半導体メモリの製造方法において、前記第1のゲート形成工程を次のようにして、不揮発性半導体メモリの製造方法を構成している。即ち、前記第1のゲート形成工程は、前記半導体基板上に第1の絶縁膜を介して第1の電極材料を堆積する第1の電極材料堆積工程と、前記第1の電極材料を前記ドレイン拡散層の形成方向及びソース拡散層の形成方向と同一の方向に延在するように所定の幅でパターンニングする第1の電極材料パターンニング工程と、前記第1の電極材料に対してエッチング選択性のある第2の電極材料を、前記パターンニングされた第1の電極材料の側壁にほぼ平行にかつ該第1の電極材料と前記半導体基板とは第2の絶縁膜で絶縁された状態で延在するように形成する第2の電極材料形成工程とを、順に行い。さらに、前記第1のゲート形成工程は、前記各メモリセルのドレイン-ソース方向と同一方向に前記第1または第2の電極材を選択的にパターンニングして前記各メモリセルに対するキャリアをそれぞれ蓄積する複数のフローティングゲートを形成するフローティングゲート形成工程を施している。

【0012】

【作用】第1の発明によれば、以上のように不揮発性半導体メモリの製造方法を構成したので、セレクトゲートとなる第1の電極材料の上部にエッチング保護膜を保護膜形成工程で形成した後、フローティングゲートとなる第2の電極材料をフローティングゲート形成工程でパターンニングしてフローティングゲートを各メモリセルに対応させて分離する。第2の発明によれば、フローティングゲートとなる第1の電極材料をフローティングゲート形成工程で各メモリセルに対応させて分離した後、セレクトゲートとなる第2の電極材料をセレクトゲート形成工程で延在させる。第3の発明によれば、フローティングゲートとなる第1の電極材料をフローティングゲート形成工程で各メモリセルに対応させて分離した後、セレクトゲートとなる第2の電極材料をセレクトゲート形成工程で延在させる。第4の発明によれば、セレクトゲートとなる例えば第1の電極材料の上部に第1の保護膜を第1の保護膜形成工程で形成し、フローティングゲートとなる第2の電極材料の上部に、第1の保護膜に対してエッチング選択性を有する第2の保護膜を第2の保護膜形成工程で形成する。その後、第1及び第2の電極材料に対して選択的にパターンニングを行うことで、フローティングゲートをフローティングゲート形成工程で各メモリセルに対応させて分離する。第5の発明によれば、互いにエッチング選択性を有する材料で第1及び第2の電極材料を形成し、フローティングゲート形成工程で選択的なパターンニングを行いフローティングゲートを各メモリセルに対応させて分離する。従って、前記課題を解決

できるのである。

【0013】

【実施例】第1の実施例

図1は、本発明の第1の実施例の不揮発性半導体メモリの製造方法を説明する図である。図1には、先の提案の図3の不揮発性半導体メモリの製造工程が示されており、この不揮発性半導体メモリは、次の(1)から

(5)の工程順で製造される。図1を参照しつつ、この不揮発性半導体メモリの製造方法を説明する。なお、図1において、図3、図4及び図5と共通の要素には、同一の符号が付されている。

(1) 第1の電極材料堆積工程

Si単結晶基板11上に絶縁酸化膜14が、膜厚1000Å程度に堆積され、その絶縁酸化膜14の上部に、セレクトゲート17となるべき第1の電極材料のリンドープ多結晶Siが、例えば化学的気相成長法(以下、CVD法という)により、1000~2000Å程度に堆積される。

(2) 保護膜形成工程

第1の電極材料上に、CVD法等で耐エッチング用保護膜20が形成される。

(3) セレクトゲートパターンニング工程

第1の電極材料及び保護膜20は、ホトリソグラフィとエッチング技術により、所定方向に、図1の(a)のように延在するようにパターンニングされ、セレクトゲート17が形成される。このセレクトゲート17は、図3におけるセレクト線SLとなる。

【0014】(4) 第2の電極材料形成工程

熱処理により、第2の絶縁膜であるゲート酸化膜16が、セレクトゲート17及び半導体基板11の表面に形成され、さらにCVD法等で第2の電極材料であるリンドープ多結晶Siが堆積される。その後、フローティングゲート15用材料の第2の電極材料が異方性エッチングされ、セレクトゲート17側壁に延在する第2の電極材料のサイドウォールに形成される。このサイドウォールは、ホトリソグラフィとエッチング技術により、図1の(b)のように片側を残して除去される。

(5) フローティングゲート形成工程

Si単結晶の半導体基板11に対してセレクトゲート17と平行に、As等のイオン注入が行われ、ドレイン拡散層12及びソース拡散層13が形成される。ドレイン拡散層12及びソース拡散層13は、隣接する複数のメモリセルに対して連続に形成され、それぞれビット線BL及びソース線SCLとなる。ビット線BL及びソース線SCL形成の後、例えば酸化膜-窒化膜-酸化膜の3層膜よりなる層間絶縁膜18が、半導体基板11、絶縁膜20、及びフローティングゲート15用の第2の電極材料上に堆積され、さらに、その上にコントロールゲート用材料のリンドープ多結晶Si19を堆積する。次に、コントロールゲート19、即ちワード線WLに対応

したレジストパターン形成の後、図1の(c)のように、最上部のリンドープ多結晶Si、層間絶縁膜18、及びフローティングゲート15がエッチングされる。このことにより、フローティングゲート15とコントロール19を自己整合的に形成する。この際、セレクトゲート17は、保護膜20でカバーされているので、エッチングされることがない。以降、絶縁膜堆積、配線形成工程等の通常のLSIプロセスを経て製造工程が完了する。

10 以上のように、本実施例では、先の提案の不揮発性半導体メモリに対し、セレクトゲート17を第2の絶縁膜20でカバーした状態で、フローティングゲート15をエッチングにより分断している。そのため、セレクトゲート17を切断すること無く、自己整合的にフローティングゲート15を形成することができる。なお、コントロールゲート19及びフローティングゲート15となるサイドウォールは、必ずしも自己整合的でなくてもよい。この場合、本実施例においてサイドウォールの片側を除去する際に、同時に、サイドウォールの残す側の一部も除去され、コントロールゲート19をエッチングした後のエッチング処理が省略される。即ち、工程の削減が可能となる。

【0015】第2の実施例

図6は、本発明の第2の実施例の不揮発性半導体メモリの製造方法を説明する図である。図6には、第1の実施例の図1と同様に、先の提案の図3の不揮発性半導体メモリの製造工程が示されている。この不揮発性半導体メモリは、次の(1)から(6)の工程順で製造される。図6を参照しつつ、この不揮発性半導体メモリの製造方法を説明する。なお、図6において、図3、図4及び図5と共通の要素には、同一の符号が付されている。

(1) 第1の電極材料堆積工程

Si単結晶基板11上に絶縁酸化膜14が、膜厚1000Å程度に堆積され、その絶縁酸化膜14の上部に、フローティングゲート15となるべき第1の電極材料のリンドープ多結晶Siが、例えばCVD法により、1000~2000Å程度に堆積される。

(2) 第1の電極材料形成工程

40 堆積された第1の電極材料は、例えばホトリソグラフィ及びエッチング技術により、第1の電極材料の列、すなわちフローティングゲート15が、セレクト線SLと異なる方向に複数延在するようにパターンニングされる。

(3) 絶縁膜埋込み工程

50 パターンニングされたフローティングゲート15の間に、フローティングゲート15と同程度の厚さの第2の絶縁膜30をCVD法等で埋込まれ、さらに、そのフローティングゲート15と第2の絶縁膜30の表面が、エッチバック或いは研磨等によって図6の(a)のように、平坦化される。

【0016】(4) フローティングゲート形成工程
フローティングゲート15及び第2の絶縁膜30が、ホトリソグラフィ及びエッチング技術により、セレクトゲート17と同じ方向にパターンニングされてフローティングゲート15が形成される。

(5) セレクトゲート形成工程

フローティングゲート15及び半導体基板11の表面に、熱処理によって第3の絶縁膜である酸化膜16を形成した後、セレクトゲート17となる第2の電極材料のリンドープ多結晶Siを、たとえばCVD法で堆積する。さらに、異方性エッチングにより、セレクトゲート17が、フローティングゲート15及び第2の絶縁膜30の側壁に延在するように形成される。ホトリソグラフィ及びエッチング技術により、図6の(b)のように、サイドウォール的一方が除去される。Si単結晶の半導体基板11に対してセレクトゲート17と平行に、As等のイオン注入が行われ、ドレイン拡散層12及びソース拡散層13が形成される。ドレイン拡散層12及びソース拡散層13は、複数のメモリセルの列に対して連続に形成され、それぞれビット線BL及びソース線SCLとなる。

(6) コントロールゲート形成工程

ビット線BL及びソース線SCL形成の後、例えば酸化膜-窒化膜-酸化膜の3層膜よりなる層間絶縁膜18が、半導体基板11、絶縁膜30、及び第1及び第2の電極材料上に堆積される。さらに、その上にコントロールゲート用材料のリンドープ多結晶Siが、堆積される。次に、コントロールゲート19。即ちワード線WLに対応したレジストパターン形成の後、図6の(c)のように、最上部のリンドープ多結晶Siが、エッチングされる。以降、絶縁膜堆積、配線形成工程等の通常のLSIプロセスを経て製造工程が完了する。

以上のように、本実施例では、セレクトゲート17形成前に、フローティングゲート15をエッチングにより分断している。そのため、セレクトゲート17を切断すること無く先の提案の不揮発性半導体メモリを実現できる。なお、本実施例では、フローティングゲート15を自己整合的にしていないが、フローティングゲート15は必しも自己整合的である必要はなく、所望のレベル以上の静電容量が得られればよい。

【0017】第3の実施例

図7は、本発明の第3の実施例の不揮発性半導体メモリの製造方法を説明する図である。図7には、第1の実施例の図1と同様に、先の提案の図3の不揮発性半導体メモリの製造工程が示されている。この不揮発性半導体メモリは、次の(1)から(6)の工程順で製造される。図7を参照しつつ、この不揮発性半導体メモリの製造方法を説明する。なお、図7において、図3、図4及び図5と共通の要素には、同一の符号が付されている。

(1) 第1の電極材料堆積工程

Si単結晶基板11上に絶縁酸化膜14が、膜厚100オングストローム程度に堆積され、その絶縁酸化膜14の上部に、フローティングゲート15となるべき第1の電極材料のリンドープ多結晶Siが、例えばCVD法により、1000~2000オングストローム程度に堆積される。

(2) 第1の保護膜形成工程

第1の電極材料すなわちフローティングゲート15の上部に第1の保護膜40である例えば窒化膜が形成される。

(3) 第1の電極材料パターンニング工程

フローティングゲート15及び第1の保護膜40が、ホトリソグラフィ及びエッチング技術によりパターンニングされ、図7の(a)のように、セレクトゲート線SLの方向に延在するように形成される。

(4) 第2の電極材料パターンニング工程

フローティングゲート15及び半導体基板11の表面に、熱処理によって第2の絶縁膜である酸化膜16が形成された後、セレクトゲート17となる第2の電極材料のリンドープ多結晶Siが、たとえばCVD法で堆積される。さらに、異方性エッチングにより、セレクトゲート17が、フローティングゲート15及び第1の保護膜40の側壁に延在するように形成される。ホトリソグラフィ及びエッチング技術により、図7の(b)のように、サイドウォールとなっている第2の電極材料の一方が除去される。また、Si単結晶の半導体基板11に対してセレクトゲート17と平行に、As等のイオン注入が行われ、ドレイン拡散層12及びソース拡散層13が形成される。これらドレイン拡散層12及びソース拡散層13は、複数のメモリセルの列に対して連続に形成され、それぞれビット線BL及びソース線SCLとなる。

【0018】(5) 第2の保護膜形成工程

フローティングゲート15上の保護膜40をマスクとし、第2の保護膜41である酸化膜が、熱酸化でセレクトゲート17の上部に図7の(c)のように形成される。第2の保護膜は、第1の保護膜に対してエッチング選択性を有していればよく、Pt(白金)等の金属をメッキで成長させてもよい。また、図7において、第2の保護膜41が、セレクトゲート17の表面をすべて覆っているが、その必要はなくセレクトゲート17の上部が覆われていればよい。

(6) フローティングゲート形成工程

フローティングゲート15上の第1の保護膜40をエッチバック等で除去した後、例えば酸化膜-窒化膜-酸化膜の3層膜よりなる層間絶縁膜18が、半導体基板11、保護膜41、及び第1の電極材料上に堆積され、さらに、その上にコントロールゲート19用材料のリンドープ多結晶Siを堆積する。次に、コントロールゲート19、すなわちワード線WLに対応したレジストパターン形成の後、図7の(d)のように、最上部のリンドー

プ多結晶Si、層間絶縁膜18、及びフローティングゲート15をエッチングする。このことにより、フローティングゲート15とコントロール19を自己整合的に形成する。以降、絶縁膜堆積、配線形成工程等の通常のLSIプロセスを経て製造工程が完了する。このとき、セレクトゲート17は、第2の保護膜41で保護されているので、分断されることはない。

【0019】第4の実施例

第4の実施例、先の提案の図3の不揮発性半導体メモリに対し、次の(1)から(4)の工程を順に行い不揮発性半導体メモリを製造する。

(1) 第1の電極材料堆積工程

Si単結晶基板11上に絶縁酸化膜14が、膜厚1000オングストローム程度に堆積され、その絶縁酸化膜14の上部に、例えばフローティングゲート15となるべき第1の電極材料のリンドープ多結晶Siが、例えばCVD法により、1000～2000オングストローム程度に堆積される。

(2) 第1の電極材料パターニング工程

第1の電極材料は、ホトリソグラフィとエッチング技術により、所定の方向に、図1の(a)のように延在するようにパターニングされる。

(3) 第2の電極材料形成工程

熱処理により、第2の絶縁膜が、第1の電極材料及び半導体基板11の表面に形成され、さらにセレクトゲート17となるべき第2の電極材料であるCu或いはPtが堆積される。その後、第2の電極材料が異方性エッチングされ、フローティングゲート15の側壁に延在するセレクトゲート17のサイドウォールが、形成される。このサイドウォールは、ホトリソグラフィとエッチング技術により、片側を残して除去される。

【0020】(4) フローティングゲート形成工程

Si単結晶の半導体基板11に対してセレクトゲート17と平行に、As等のイオン注入が行われ、ドレイン拡散層12及びソース拡散層13が形成される。ドレイン拡散層12及びソース拡散層13は、複数のメモリセルの列に対して連続に形成され、それぞれビット線BL及びソース線SCLとなる。次に、例えば酸化膜-窒化膜-酸化膜の3層膜よりなる層間絶縁膜18が半導体基板11、セレクトゲート17及びフローティングゲート15上に堆積され、さらに、その上にコントロールゲート19用材料のリンドープ多結晶Siを堆積する。次に、コントロールゲート19、すなわちワード線WLに対応したレジストパターン形成の後、最上部のリンドープ多結晶Si、層間絶縁膜18、及びフローティングゲート15をエッチングする。このことにより、フローティングゲート15とコントロール19を自己整合的に形成する。この際、セレクトゲート17はこのエッチングに対して選択性を有しているので、エッチングされることがない。以降、絶縁膜堆積、配線形成工程等の通常のLS

Iプロセスを経て製造工程が完了する。

以上のように、本実施例では、先の提案の不揮発性半導体メモリに対し、セレクトゲート17をフローティングゲートに対してエッチング選択性のある第2の電極材料で構成しているので、フローティングゲート15のエッチングにより分断されない。

【0021】なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(A) 拡散層に対するイオン注入時期は、第1～第4の実施例に係わらず自由度があり、例えば、片側のサイドウォールを除去する前に実施してもよく、さらに、第1の電極材料等を堆積する前に、半導体基板に形成しておいてもよい。

(B) 片側のサイドウォールの除去は、上記各実施例において必ずしも必要ではなく、半導体基板上に残しておいても、問題なく先の提案の不揮発性半導体メモリを実現できる。

(C) 第2の実施例においては、半導体基板上に第1の電極材料の列を形成してから、第2の絶縁膜を埋込んでいるが、先に第2の絶縁膜の列を形成してから、第1の電極材料を埋込む順で不揮発性半導体メモリを製造しても、同様の効果を奏する。

(D) 第4の実施例において、サイドウォールとして形成される第2の電極材料をセレクトゲートとしているが、サイドウォールをフローティングゲートとしてもよい。この場合は、先に形成される第1の電極材料をCuまたはPtとすればよい。

【0022】

【発明の効果】以上詳細に説明したように、第1の発明によれば、セレクトゲートとなる第1の電極材料の上部にエッチング保護膜を形成した後、フローティングゲートとなる第2の電極材料をパターニングしてフローティングゲートを各メモリセルに対応させて分離する。そのため、セレクトゲートを分断することなく、フローティングゲートをコントロールゲートに対して自己整合的に形成することができる。このことにより、コンタクト構造が不要で高集積化を可能とした不揮発性半導体メモリを実現できる。第2の発明によれば、フローティングゲートとなる第1の電極材料を各メモリセルに対応させて分離した後、セレクトゲートとなる第2の電極材料を延在させる。そのため、セレクトゲートを分断することなく、フローティングゲートを各メモリセルに対応させることができる。このことにより、コンタクト構造が不要で高集積化を可能とした不揮発性半導体メモリを実現できる。第3の発明によれば、フローティングゲートとなる第1の電極材料をフローティングゲート形成工程で各メモリセルに対応させて分離した後、セレクトゲートとなる第2の電極材料を延在させる。そのため、セレクトゲートを分断することなく、フローティングゲートを各

メモリセルに対応させることができる。また、このことにより、コンタクト構造が不要で高集積化を可能とした不揮発性半導体メモリを実現できる。

【0023】第4の発明によれば、セレクトゲートとなる例えば第1の電極材料の上部に第1の保護膜を形成し、フローティングゲートとなる第2の電極材料の上部に、第1の保護膜に対してエッチング選択性を有する第2の保護膜を形成する。その後、第1及び第2の電極材料に対して選択的にパターンニングを行うことで、フローティングゲートを各メモリセルに対応させて分離する。そのため、セレクトゲートを分断することなく、フローティングゲートを各メモリセルに対応させることができる。このことにより、コンタクト構造が不要で高集積化を可能とした不揮発性半導体メモリを実現できる。第5の発明によれば、互いにエッチング選択性を有する材料で第1及び第2の電極材料を形成し、フローティングゲート形成工程で選択的なパターンニングを行いフローティングゲートを各メモリセルに対応させて分離する。そのため、セレクトゲートを分断することなく、フローティングゲートを各メモリセルに対応させることができる。また、このことにより、コンタクト構造が不要で高集積化を可能とした不揮発性半導体メモリを実現できる。

【図面の簡単な説明】

*

*【図1】本発明の第1の実施例の不揮発性半導体メモリの製造方法を説明する図である。

【図2】従来のサイドウォール型E²PROMメモリセルの構造例を示す断面図である。

【図3】先の提案のサイドウォール型E²PROMの構造例を示す平面図である。

【図4】図3中のA-A断面図である。

【図5】図3中のB-B断面図である。

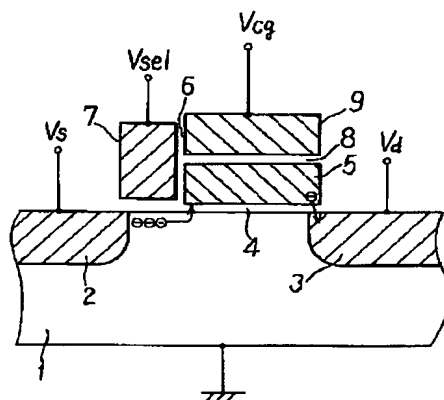
【図6】本発明の第2の実施例の不揮発性半導体メモリの製造方法を説明する図である。

【図7】本発明の第3の実施例の不揮発性半導体メモリの製造方法を説明する図である。

【符号の説明】

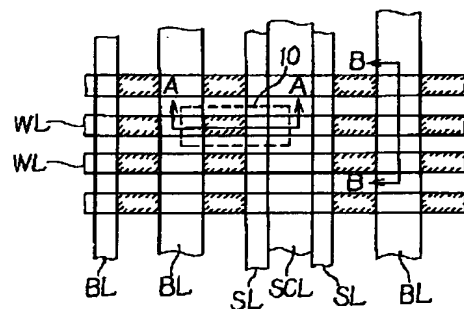
| | |
|-------------------------|------------|
| 1, 11 | 半導体基板 |
| 2, 13 | ソース拡散層 |
| 3, 12 | ドレイン拡散層 |
| 4, 6, 8, 14, 16, 18, 30 | 絶縁膜 |
| 5, 15 | フローティングゲート |
| 7, 17 | セレクトゲート |
| 9, 19 | コントロールゲート |
| 20, 40, 41 | 保護膜 |

【図2】



従来のサイドウォール型フラッシュE²PROMメモリセル

【図3】



先の提案のサイドウォール型E²PROM

【図5】

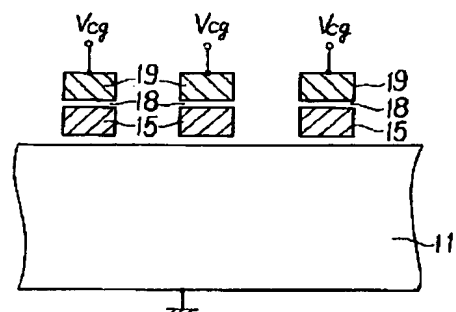


図3中のB-B断面図

【図 4】

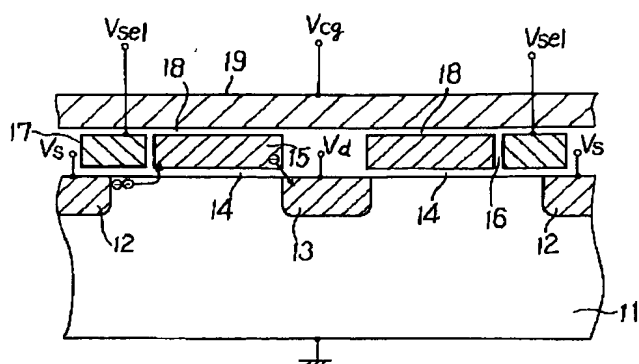
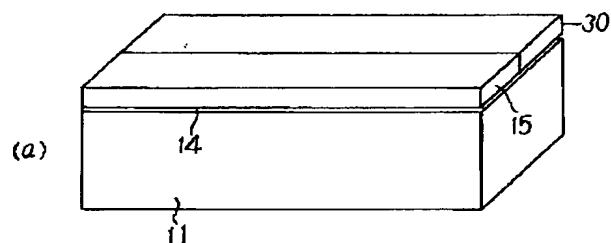
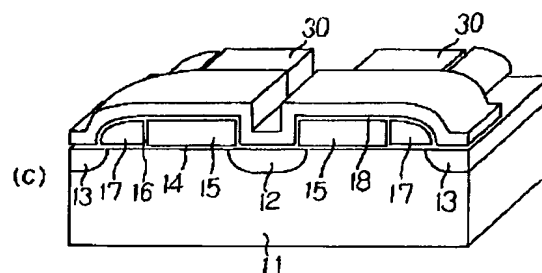
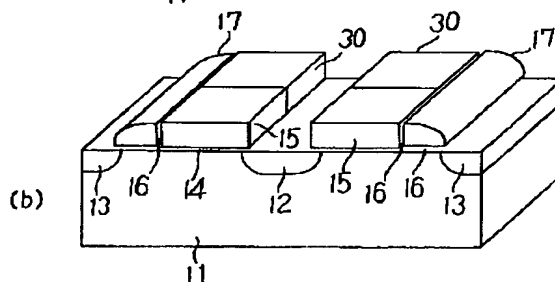


図3中のA-A断面図

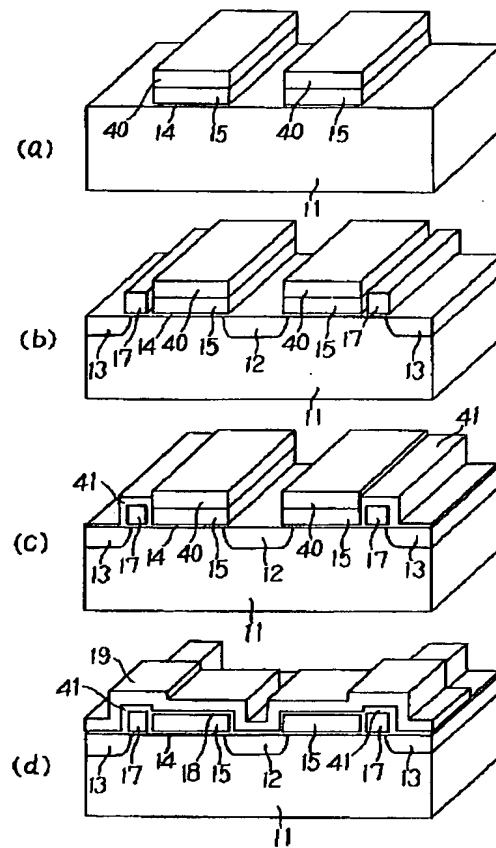


本発明の第1の実施例の不揮発性半導体メモリの製造方法



本発明の第2の実施例の不揮発性半導体メモリの製造方法

【図7】



本発明の第3の実施例の不揮発性半導体メモリの製造方法